

Ref. 2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-021441

(43)Date of publication of application : 28.01.1994

(51)Int.Cl.

H01L 29/784

(21)Application number : 04-175119

(71)Applicant : NEC CORP

(22)Date of filing : 02.07.1992

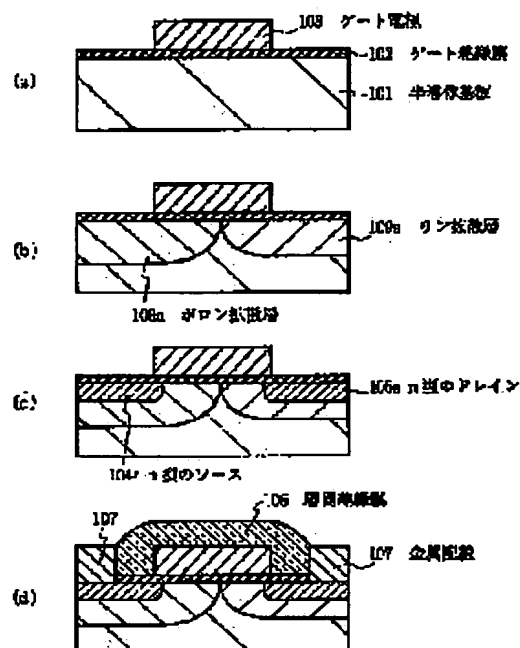
(72)Inventor : FUKUMA MASAO

(54) MOS TRANSISTOR

(57)Abstract:

PURPOSE: To provide a MOS transistor with a larger ON current while suppressing the generation of a hot carrier effectively.

CONSTITUTION: The conductive type of a channel between an n-type source 104a and an n-type drain 105a becomes p type according to a boron diffusion layer 108 at the side of a source 104a and n type at the side of a drain 105a according to a phosphor diffusion layer 109a. The p-type impurity concentration and the n-type impurity concentration are the highest at the edge of the source 104a and that of the drain 105a and each of them changes monotonously.



LEGAL STATUS

[Date of request for examination] 28.06.1996

[Date of sending the examiner's decision of rejection] 25.08.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-21441

(43)公開日 平成 6 年(1994) 1 月 28 日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/784

7377-4M

H 0 1 L 29/ 78

3 0 1 H

審査請求 未請求 請求項の数 1 (全 5 頁)

(21)出願番号 特願平4-175119

(22)出願日 平成 4 年(1992) 7 月 2 日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72)発明者 福間 雅夫

東京都港区芝五丁目 7 番 1 号日本電気株式
会社内

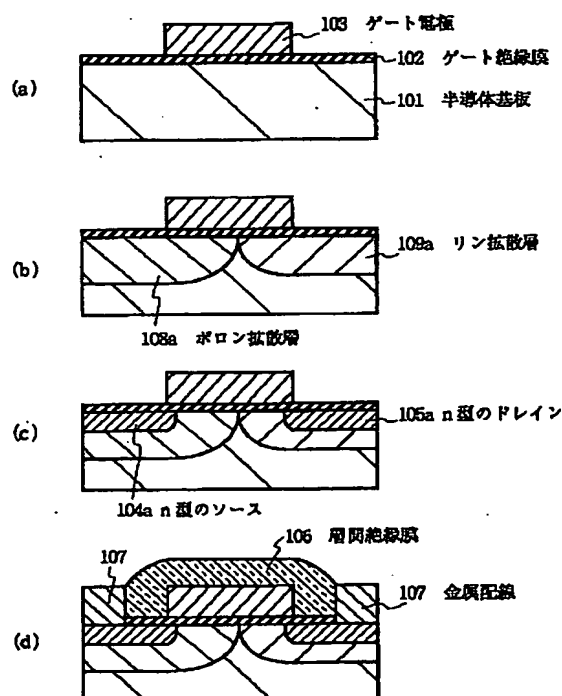
(74)代理人 弁理士 京本 直樹 (外 2 名)

(54)【発明の名称】 MOSトランジスタ

(57)【要約】

【目的】 ホットキャリアの発生を有効に抑制しながら、オン電流が大きく取れるMOSトランジスタを提供する。

【構成】 n型のソース104aとn型のドレイン105aとの間のチャネルの導電型は、ソース104a側ではボロン拡散層108aによりp型となり、ドレイン105a側ではリン拡散層109aによりn型になっている。p型の不純物濃度とn型の不純物濃度とはそれぞれソース104a端とドレイン105a端とで最も高く、それぞれ単調に変化している。



【特許請求の範囲】

【請求項1】 半導体基板の表面における一導電型のソースと一導電型のドレインとに挟まれているチャンネルの導電型が前記ソース側では逆導電型、前記ドレイン側では一導電型であり、かつ、前記ソース端で最も高濃度の逆導電型、前記ドレイン端で最も高濃度の一導電型であることと、前記チャンネルの全ての領域で前記逆導電型の不純物濃度、および前記一導電型の不純物濃度がそれぞれ単調に変化して前記チャンネルの途中で真性となることを特徴とするMOSトランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はMOSトランジスタに関する。

【0002】

【従来の技術】 近年、半導体デバイスの微細化は急速に進み、開発レベルでは0.5 μm 以下のデザインルールが使われ始めようとしている。MOSトランジスタの微細化においての最大の課題は、オン電流などデバイスの基本特性を損なわずにいかにホットキャリア効果を抑制するかという点にある。

【0003】 デバイスの微細化は必然的に内部の電界を高めることになり、特にドレイン端で発生する高電界によってキャリア温度は高くなり、容易に界面準位を発生させたりゲート絶縁膜中にキャリアが注入されたりしてデバイス特性が劣化するようになる。これを防ぐためにはドレイン端での電界を緩和させるデバイス構造の工夫が必要である。

【0004】 MOSトランジスタの断面図である図4を参照すると、ホットキャリア効果を抑制する最も一般的なLDD型のMOSトランジスタは、p型の半導体基板201上に設けられたゲート絶縁膜202を介してゲート電極203と、ゲート電極203の側面に設けられたサイドウォール210と、サイドウォール210に自己整合的に半導体基板201表面に設けられた一対の低濃度のn型のLDD219と、それぞれゲート電極203に自己整合的に半導体基板201表面に設けられた高濃度のn型のソース204a、および高濃度のn型のドレイン205aとから構成される。ホットキャリア効果の抑制には、ドレイン205a端の先にLDD219を付加することが重要である。この場合、一般には動作上の対称性を確保するためにソース204a側にもLDD219を設ける。LDD219は、通常サイドウォール210の形成前にイオン注入により形成され、イオン注入量、注入エネルギー、サイドウォール210幅などが設計パラメータとなる。このような構造でホットキャリアの発生を単に抑えようとするだけならば、サイドウォール210の幅(=LDD219の長さ)を十分長くし、必要なバイアス条件でLDD219の領域を空乏化する

ようにLDD219中の不純物濃度を低く設定すればよい。しかしこの場合にはLDD219の寄生抵抗によってオン電流が低減してしまうので、無闇にLDD219の長さを長くすることも不純物濃度を低くすることをできない。すなわち、ホットキャリアの抑制効果とオン電流とはトレードオフの関係にある。

【0005】 ホットキャリアの抑制と高いオン電流とを同時に実現するには、理想的にはどのような動作状態にあってもチャンネル内の横方向電界を均一にすることである。すなわち、オン状態においてはチャンネルの全ての領域でキャリアの面密度ができるだけ一定であることが理想的である。これはチャンネルに沿って局所的にしきい電圧を変化させることにより、キャリアの面密度が一定にすることができる。LDD型MOSトランジスタは通常のドレインを有するMOSトランジスタに較べるとチャンネル内の横方向電界の均一性には貢献しているが、図5(b)に示すように、ドレイン端近傍で極大となって均一性が崩れ、必ずしも十分とはいえない。これは、図5(a)に示すように、チャンネルが形成される基板表面の不純物濃度やLDD中の濃度がそれぞれ横方向で一定だからである。

【0006】 MOSトランジスタの断面図である図6を参照すると、別の構造によりホットキャリア効果を抑制するDSA型のMOSトランジスタは、p型の半導体基板201上に設けられたゲート絶縁膜202を介してゲート電極203と、それぞれゲート電極203に自己整合的に半導体基板201表面に設けられた高濃度のn型のソース204b、および高濃度のn型のドレイン205bと、ソース204bを自己整合的に内包して半導体基板201表面に設けられた(DSA構造)の低濃度のp型のベース218とから構成される。ゲート電極203は層間絶縁膜206により覆われている。このような構造によりディープサブミクロンのMOSトランジスタを形成すると、ベース218により、チャンネルの全ての領域で基板表面濃度を変えることができるので(ソース204b側のp型の不純物濃度を高く、ドレイン205b側のp型の不純物濃度を低くする)、LDD型のMOSトランジスタに比べるとチャンネル内の横方向電界の均一性はより進む。しかしながら、ソース204b端で基板表面濃度はMOSトランジスタのしきい電圧を決めるので無闇に高くすることができず、従ってドレイン205b端での基板表面濃度が仮に真性半導体のそれ程度に薄くできても、チャンネルに沿った局所的なしきい電圧のダイナミックレンジを広く取ることはできない。このため、オフ状態での横方向電界の均一性にはDSA構造はかなり有効であるが、オン状態での均一化にはまだ不十分であるといえる。

【0007】

【発明が解決しようとする課題】 上述したように、従来の技術ではチャンネルに沿った局所的なしきい電圧を連続

的かつ広い範囲で変化させることはできず、従ってチャネル内の横方向電界の均一化は不十分であった。このため、高いホットキャリア抑制効果と、高いオン電流とを同時に実現できないという問題があった。

【0008】

【課題を解決するための手段】本発明のMOSトランジスタは、半導体基板の表面における一導電型のソースと一導電型のドレインとに挟まれているチャネルの導電型がソース側では逆導電型、ドレイン側では一導電型であり、かつ、ソース端で最も高濃度の逆導電型、ドレイン端で最も高濃度の一導電型であることと、チャネルの全ての領域で逆導電型の不純物濃度、および一導電型の不純物濃度がそれぞれ単調に変化してチャネルの途中で真性となることを特徴としている。

【0009】

【実施例】次に、本発明について図面を参照して説明する。説明の便宜上nチャネルMOSトランジスタを例にするが、pチャネルMOSトランジスタに関しても本発明は適用できる。

【0010】nチャネルMOSトランジスタの製造方法を説明するための工程順の断面図である図1を参照すると、本発明の第1の実施例は、まず、真性のシリコン基板からなる半導体基板101の表面に膜厚9nmのシリコン酸化膜からなるゲート絶縁膜102を形成し、このゲート絶縁膜102上にゲート長0.4 μ mのゲート電極103を形成する〔図1(a)〕。次に、それぞれフォトリソ膜(図示せず)をマスクにして、ソース形成予定領域の側にはボロン、ドレイン形成予定領域の側にはリンをそれぞれ $1 \times 10^{14} \text{ cm}^{-2}$ 程度半導体基板101の表面に対して概略垂直にイオン注入し、1000 $^{\circ}$ C、約1時間の熱処理を行ない、ボロン拡散層108a、リン拡散層109aを形成する〔図1(b)〕。その後、通常の砒素のイオン注入を行ない、高濃度のn型のソース104a、および高濃度のn型のドレイン105aを形成する〔図1(c)〕。この後、層間絶縁膜106の堆積、および開口を行ない、金属配線107を形成し、nチャネルMOSトランジスタが完成する〔図1(d)〕。

【0011】上記第1の実施例では、ソース104aとドレイン105aとに挟まれたチャネルが形成されるべき半導体基板101の表面の不純物分布は、上記ボロン拡散層108aと上記リン拡散層109aとに支配され、図2(a)に示すような分布になる。すなわちチャネルのソース104a側ではp型でソース104a端が最も濃度が高くドレイン105aに向かうに従い徐々に低くなり、チャネルの途中で真性になり、さらにn型に反転し、ドレイン105aに近づくに従いn型不純物濃度は徐々に高くなり、ドレイン105a端でチャネル中のn型不純物濃度は最も高濃度となる。

【0012】このような構造では、チャネルに沿って局

所的にしきい電圧を変化させることができ、ソース104a端で通常回路が必要とする値(V_{ts})からドレイン105a端で必要とされる大きな負の値まで広範囲に連続的に変化させることができる。従って、MOSトランジスタがオン状態にあるとき、すなわちゲート電極103にもドレイン105aにも正の電圧が印加されているとき、図2(b)に示すように、チャネル領域における横方向電界は概略均一となる。つまり、局所的な高電界によるホットキャリアの発生を妨げると同時に、高いオン電流を得ることができる。また、チャネル中でボロン拡散層108aとリン拡散層109aとが接しているところでは、図2(a)に示すとうり表面濃度は低いので、オフ状態でのドレイン電圧はここで吸収され無闇に電界が高まることはない。

【0013】本実施例に沿って実際に試作したMOSトランジスタでは、通常のMOSトランジスタに比べてオン電流は約30%増加し、ホットキャリアの発生の指標となる基板電流は約1/10に低下した。

【0014】nチャネルMOSトランジスタの製造方法を説明するための工程順の断面図である図3を参照すると、本発明の第2の実施例は、ゲート電極103までは上記第1の実施例と同様に形成し、その後、ドレイン形成予定領域を覆うフォトリソ膜111aを形成し、このフォトリソ膜111aをマスクにしたボロンの回転斜めイオン注入によりボロン拡散層108bを形成する〔図3(a)〕。このフォトリソ膜111aを除去した後、ソース形成予定領域を覆うフォトリソ膜111bを形成し、このフォトリソ膜111bをマスクにしたリンの回転斜めイオン注入によりリン拡散層109bを形成する〔図3(b)〕。拡散層108b、109bを活性化するための熱処理は、例えば900 $^{\circ}$ C、10分間程度である。その後、砒素の垂直イオン注入により、高濃度のn型のソース104b、および高濃度のn型のドレイン105bを形成する〔図3

(c)〕。以降の工程は、上記第1の実施例と同じである。

【0015】上記第2の実施例は、第1の実施例に比べて、拡散層108b、109bを活性化するための熱処理の温度が低く、かつ時間が短いため、ゲート絶縁膜102に対する信頼性が優れている。

【0016】

【発明の効果】以上説明したように本発明のMOSトランジスタは、オン状態においてもチャネル領域における横方向電界は概略均一となり、局所的な高電界によるホットキャリアの発生を妨げると同時に、高いオン電流を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための工程順の断面図である。

【図2】上記第1の実施例の効果を説明するための図で

あり、チャネル領域における不純物濃度分布、横方向電界を示す模式図である。

【図3】本発明の第2の実施例を説明するための工程順の断面図である。

【図4】従来のLDD型MOSトランジスタの断面図である。

【図5】上記従来のLDD型MOSトランジスタの問題点を説明するための図であり、チャネル領域における不純物濃度分布、横方向電界を示す模式図である。

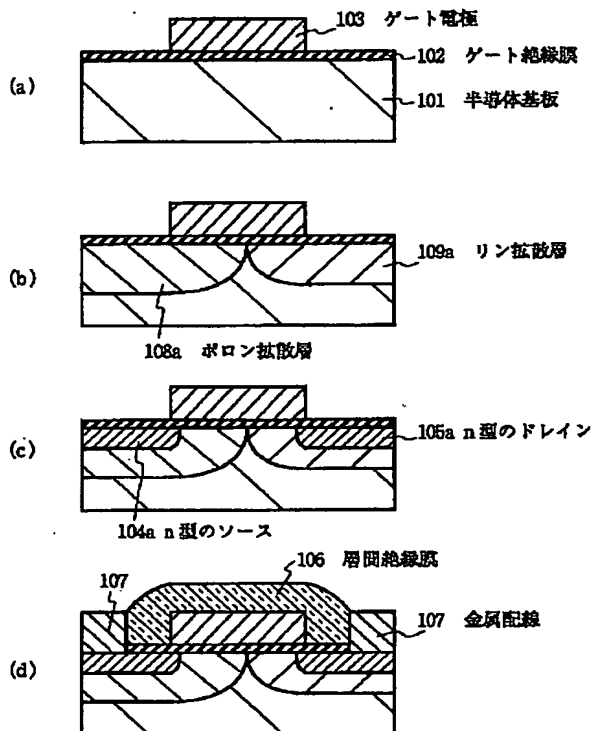
【図6】従来のDSA型MOSトランジスタの断面図である。

【符号の説明】

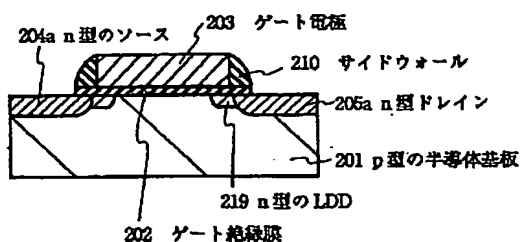
101, 201 半導体基板
102, 202 ゲート絶縁膜

103, 203 ゲート電極
104a, 104b, 204a, 204b n型のソース
105a, 105b, 205a, 205b n型のドレイン
106, 206 層間絶縁膜
107 金属配線
108a, 108b ボロン拡散層
109a, 109b リン拡散層
110, 210 サイドウォール
111a, 111b フォトリソグ膜
218 ベース
219 n型のLDD

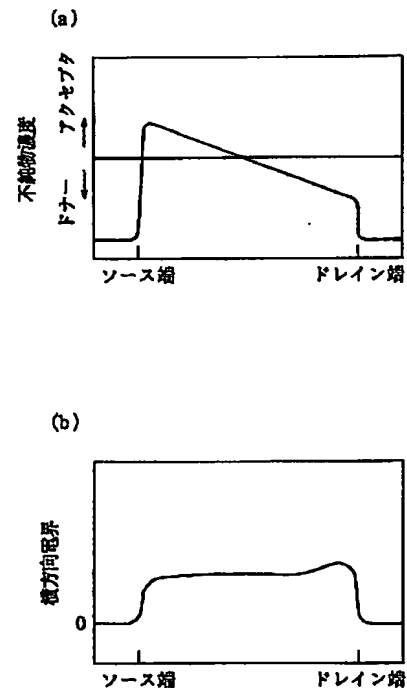
【図1】



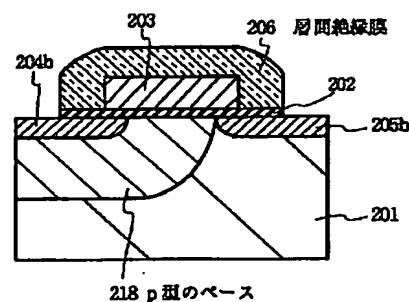
【図4】



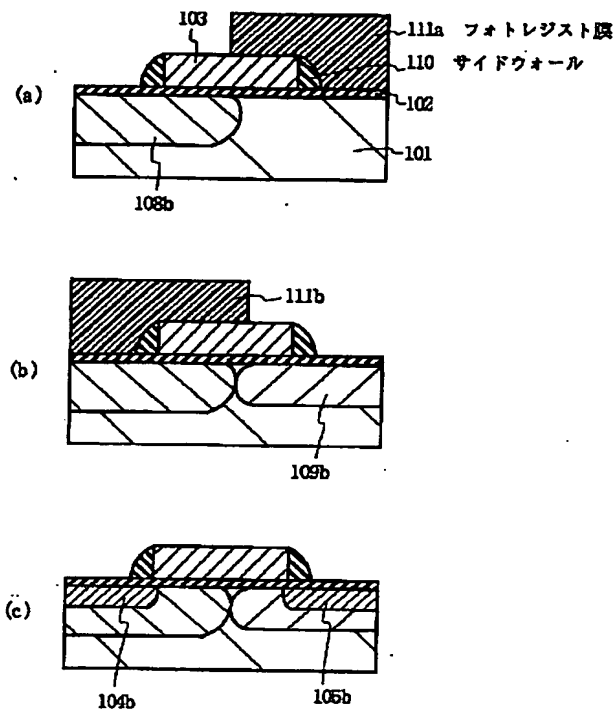
【図2】



【図6】



【図3】



【図5】

